

УДК

## ВЫХОДНОЙ БУФЕР 1,8 В НА ОСНОВЕ 180 НМ КМОП ТЕХНОЛОГИИ ДЛЯ УСТРОЙСТВ 3,3 В

Б. МАХЕНДРАНАТ, А. СРИНИВАСУЛУ

*VIGNAN университет,  
Индия, Вадламуди, Гунтур*

**Аннотация.** В работе представлен выходной буфер на базе низковольтных устройств (+1,8 В) для работы с сигналами высокого напряжения +3,3 В интерфейса PCI-X (peripheral component interconnect extended), реализованный с помощью КМОП-технологического процесса 180 нм. Поскольку PCI-X является интерфейсом +3,3 В, нагрузка на оксидный затвор создает проблемы при разработке входных-выходных цепей для устройств 180 нм КМОП-процесса. Производительность предложенного выходного буфера оценивалась с применением программы Cadence и параметров модели 180 нм КМОП-процесса. Экспериментальные результаты подтверждают, что предложенный буфер эффективно работает с интерфейсом +3,3 В на частоте 100 МГц без существенного перенапряжения на оксидном затворе. В данной работе также представлен новый преобразователь уровня, реализованный на устройствах +1,8 В, который может преобразовывать размах напряжения 0/1 В в размах напряжения 0/3,3 В. Результаты компьютерного моделирования подтверждают, что предложенный преобразователь работает с достаточной точностью без какого-либо перепада напряжения. Предложенная топология имеет низкую чувствительность, что позволяет ее реализовать на СБИС. Предложенные схемы возможно реализовать с помощью низковольтных устройств без потери производительности.

**Ключевые слова:** ???

### 1. ВВЕДЕНИЕ

В настоящее время рынок полупроводниковых устройств требует наличие устройств хранения с улучшенными рабочими характеристиками, что вызывает необходимость в увеличении скорости переключения. Потребляемая мощность становится основной характеристикой портативных электронных систем.

Как следствие, преобразователи уровней должны иметь достаточный уровень тока, чтобы удовлетворить требования по скорости передачи. Это сопровождается значительными колебаниями тока в течение короткого промежутка времени ( $di/dt$ ), что может увеличить шумы переключения в цепях питания. В случае большой емкостной нагрузки в цепях пита-

ния наблюдаются значительные скачки напряжения. Причиной этого в основном является индуктивность соединительных проводов, узла и дорожек печатной платы, что приводит к колебаниям питающего напряжения и нуля (шумы переключения или шум  $Ldi/dt$ ). Этот шум также приводит к задержкам преобразования данных, колебаниям фронта сигнала и перекрестным искажениям в соседних линиях. Кроме того, это может привести к неправильной работе цепей, подключенных к одним линиям питания [1].

Для уменьшения основного питающего напряжения  $V_{DD}$  толщина оксидного затвора должна быть уменьшена. Однако напряжение на плате PCI-X интерфейса  $V_{CC}$  поддерживает-

DOI: [10.20535/S0021347017110061](https://doi.org/10.20535/S0021347017110061)

© Б. Махендранат, А. Сринивасулу, 2017

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Lin, Yingyan; Zou, Xuecheng; Zheng, Zhaoxiao; Huo, Wenjie; Chen, Xiaofei; Kang, Wenjing. High-speed, low switching noise and load adaptive output buffer. *Proc. of IEEE Int. Symp. on Integrated Circuits, ISIC*, 14-16 Dec, 2009, Singapore. IEEE, 2009, pp. 280-282. URI: <http://ieeexplore.ieee.org/document/5403888/>.
2. Scott, R.S.; Dumin, N.A.; Hughes, T.W.; Dumin, D.J.; Moore, B.T. Properties of high-voltage stress generated traps in thin silicon oxide. *IEEE Trans. Electron Devices*, Vol. 43, No. 7, pp. 1133-1143, 1996. DOI: [10.1109/16.502425](https://doi.org/10.1109/16.502425).
3. Mahendranath, B.; Srinivasulu, A. Analysis of two new voltage level converters with various load conditions. *Int. J. Advances Telecommunications, Electrotechnics, Signals and Systems*, Vol. 2, No. 3, pp. 92-98, 2013. URI: <http://www.ijates.org/index.php/ijates/article/view/45>.
4. Srinivasulu, A.; Rajesh, M. ULPD and CPTL pull-up stages for differential cascode voltage switch logic. *J. Engineering*, Vol. 2013, Article ID 595296, 5 pages, 2013. DOI: [10.1155/2013/595296](https://doi.org/10.1155/2013/595296).

5. Sundari, A.B.T.; Srinivasulu, Avireni. High speed level converters with short circuit current reduction. *Int. J. Advances in Telecommunications, Electrotechnics, Signals and Systems*, Vol. 3, No. 2, pp. 44-52, 2014. DOI: [10.11601/ijates.v3i2.92](https://doi.org/10.11601/ijates.v3i2.92).
6. Mahendranath, B.; Srinivasulu, Avireni. Performance analysis of a new CMOS output buffer. *Proc. of IEEE Int. Conf. on Circuits, Power and Computing Technologies*, 20-21 Mar. 2013, Nagercoil, India. IEEE, 2013, pp. 752-755. DOI: [10.1109/ICCPCT.2013.6529041](https://doi.org/10.1109/ICCPCT.2013.6529041).
7. Pelgrom, M. J. M.; Dijkmans, E. C. A 3/5 V compatible I/O buffer. *IEEE J. Solid-State Circuits*, Vol. 30, No. 7, pp. 823-825, 1995. DOI: [10.1109/4.391124](https://doi.org/10.1109/4.391124).
8. Ker, M.-D.; Tsai, C.-S. Design of 2.5V/5V mixed-voltage CMOS I/O buffer with only thin oxide device and dynamic N-well bias circuit. *Proc. of IEEE Int. Symp. on Circuits and Systems*, 25-28 May 2003, Bangkok, Thailand. IEEE, 2003, Vol. 4, pp. 97-100. DOI: [10.1109/ISCAS.2003.1206197](https://doi.org/10.1109/ISCAS.2003.1206197).
9. Clark, L. T. A high-voltage output buffer fabricated on a 2V CMOS technology. *Proc. of Symp. on VLSI Circuits*, 17-19 Jun 1999, Kyoto, Japan. IEEE, 1999, pp. 61-62. DOI: [10.1109/VLSIC.1999.797236](https://doi.org/10.1109/VLSIC.1999.797236).
10. Chen, Shih-Lun; Ker, Ming-Dou. An output buffer for 3.3-V applications in a 0.13- $\mu\text{m}$  1/2.5-V CMOS process. *IEEE Trans. Circuits and Systems II: Express Briefs*, Vol. 54, No. 1, pp. 14-18, 2007. DOI: [10.1109/TCSII.2006.883202](https://doi.org/10.1109/TCSII.2006.883202).
11. Yu, Chien-Cheng; Wang, Wei-Ping; Liu, Bin-Da. A new level converter for low-power applications. *Proc. of IEEE Int. Symp. on Circuits and Systems*, 6-9 May 2001, Sydney, Australia. IEEE, 2001, Vol. 1, pp. 113-116. DOI: [10.1109/ISCAS.2001.921801](https://doi.org/10.1109/ISCAS.2001.921801).
12. Otsuka, N.; Horowitz, M. A. Circuit techniques for 1.5-V power supply flash memory. *IEEE J. Solid-State Circuits*, Vol. 32, No. 8, pp. 1217-1230, 1997. DOI: [10.1109/4.604078](https://doi.org/10.1109/4.604078).
13. Kanno, Y.; Mizuno, H.; Tanaka, K.; Watanabe, T. Level converters with high immunity to power-supply bouncing for high-speed sub-1-V LSIs. *Proc. of Symp. on VLSI Circuits*, 15-17 Jul. 2000, Honolulu, HI, USA. IEEE, 2000, pp. 202-203. DOI: [10.1109/VLSIC.2000.852890](https://doi.org/10.1109/VLSIC.2000.852890).
14. Wang, W.-T.; Ker, M.-D.; Chiang, M.-C.; Chen, C.-H. Level shifters for high-speed 1 V to 3.3 V interfaces in a 0.13  $\mu\text{m}$  Cu-interconnection/low-k CMOS technology. *Proc. of IEEE Int. Symp. on VLSI Technology, Systems and Applications*, 18-20 Apr. 2001, Hsinchu, Taiwan. IEEE, 2001, pp. 307-310. DOI: [10.1109/VTSA.2001.934546](https://doi.org/10.1109/VTSA.2001.934546).
15. Ping-Yuan, Ch.; Chien-Cheng, Yu. A voltage level converter circuit design with low power consumption. *Proc. of 6th IEEE Int. Conf. on ASIC*, 24-27 Oct. 2005, Shanghai, China. IEEE, 2005, pp. 358-359. DOI: [10.1109/ICASIC.2005.1611324](https://doi.org/10.1109/ICASIC.2005.1611324).

Поступила в редакцию 13.05.2015

После переработки 17.08.2017