

УДК 621.396.6

## АНАЛИЗ ЭФФЕКТИВНОСТИ МЕТОДИК РАССТАНОВКИ ВЗВЕШИВАЮЩИХ ЭЛЕМЕНТОВ НА КРИСТАЛЛЕ УНАРНОГО ЦИФРО-АНАЛОГОВОГО ПРЕОБРАЗОВАТЕЛЯ

А. И. КОНСТАНТИНОВ<sup>1</sup>, М. С. ЕНУЧЕНКО<sup>2</sup>, А. С. КОРОТКОВ<sup>2</sup>

<sup>1</sup>АО Российский институт радионавигации и времени,  
Россия, Санкт-Петербург, 192012, пр-т Обуховской Обороны, 120  
<sup>2</sup>Санкт-Петербургский политехнический университет Петра Великого,  
Россия, Санкт-Петербург, 195251, ул. Политехническая, 29

**Аннотация.** Проведен обзор реализаций матриц взвешивающих элементов унарного ЦАП. Построена математическая модель унарного ЦАП, учитывающая систематическую ошибку. Проведено моделирование статических характеристик и сделан вывод о предпочтительных методиках формирования матрицы взвешивающих элементов для снижения нелинейности унарных ЦАП.

**Ключевые слова:** цифро-аналоговый преобразователь; унарная архитектура; систематическая ошибка; ЦАП

### 1. ВВЕДЕНИЕ

Цифро-аналоговый преобразователь (ЦАП) является устройством преобразования цифрового кода, как правило, двоичного в аналоговый сигнал в виде тока или напряжения, пропорционального значению цифрового кода. Наибольшее распространение в системах телекоммуникаций получили параллельные ЦАП. Среди архитектур параллельных ЦАП возможно выделить три основных: бинарная, унарная и сегментная [1, 2].

Бинарная архитектура осуществляет суммирование/деление двоично-взвешенных значений. Число таких значений равно разрядности ЦАП  $N$ . Управление элементами осуществляется непосредственно разрядами входного бинарного кода. Унарная архитектура осуществляет суммирование/деление одинаково взвешенных значений. Взвешивающие элементы в данной архитектуре, число которых

равно  $2^N - 1$ , имеют одинаковый номинал. Управление элементами осуществляется унарным кодом, для формирования которого требуется термометрический дешифратор [3]. Сегментная архитектура сочетает в себе обе, описанные выше архитектуры.

К основным параметрам ЦАП относятся дифференциальная DNL (Differential NonLinearity) и интегральная INL (Integral NonLinearity) нелинейности. Технологический разброс, вызывающий рассогласование значений взвешивающих элементов, является одной из основных причин статической нелинейности ЦАП. Использование унарной архитектуры позволяет скомпенсировать систематическую составляющую рассогласования значений взвешивающих элементов путем соответствующей (далее — компенсирующей) расстановки взвешивающих элементов на топологии кристалла, и, следовательно, снизить статическую нелинейность ЦАП.

DOI: [10.20535/S0021347017050041](https://doi.org/10.20535/S0021347017050041)

© А. И. Константинов, М. С. Енученко, А. С. Коротков, 2017

2016. — IEEE, 2016, P. 379–384. — DOI : [10.1109/EIConRusNW.2016.7448199](https://doi.org/10.1109/EIConRusNW.2016.7448199).
4. Cong, Y.; Geiger, R. L. Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays. *IEEE Trans. Circuits and Systems II: Analog Digital Signal Processing*, vol. 47, no. 7, p. 585–595, 2000. DOI: [10.1109/82.850417](https://doi.org/10.1109/82.850417).
5. Yu, Zhongjun; Chen, Degang; Geiger, Randy. 1-D and 2-D switching strategies achieving near optimal INL for thermometer-coded current steering DACs. *Proc. of 2003 Int. Symp. on Circuits and Systems, ISCAS*, 25–28 May 2003. — IEEE, 2003, vol. 1, p. 909–912. DOI: [10.1109/ISCAS.2003.1205712](https://doi.org/10.1109/ISCAS.2003.1205712).
6. Starzyk, Janusz A.; Mohn, Russell P. Cost-oriented design of a 14-bit current steering DAC macrocell. *Proc. of 2003 Int. Symp. on Circuits and Systems, ISCAS*, 25–28 May 2003. — IEEE, 2003, vol. 1, p. 965–968. DOI: [10.1109/ISCAS.2003.1205726](https://doi.org/10.1109/ISCAS.2003.1205726).
7. Lee, Da-Huei; Kuo, Tai-Haur; Wen, Kow-Liang. Low-cost 14-bit current-steering DAC with a randomized thermometer-coding method. *IEEE Trans. Circuits and Systems—II: Express Briefs*, vol. 56, no. 2, p.137–141, 2009. DOI: [10.1109/TCSII.2008.2011606](https://doi.org/10.1109/TCSII.2008.2011606).
8. Lee, Da-Huei; Lin, Yu-Hong; Kuo, Tai-Haur. Nyquist-rate current-steering digital-to-analog converters with random multiple data-weighted averaging technique and  $Q^N$  rotated walk switching scheme. *IEEE Trans. Circuits And Systems—II: Express Briefs*, vol. 53, no. 11, p. 1264–1268, 2006. DOI: [10.1109/TCSII.2006.882355](https://doi.org/10.1109/TCSII.2006.882355).
9. Palmers, Pieter; Wu, Xu; Steyaert, Michiel. A 130 nm CMOS 6-bit full Nyquist 3GS/s DAC. *Proc. of IEEE Asian Solid-State Circuits Conf.*, 12–14 Nov. 2007. IEEE, 2007. — P. 348–351. DOI: [10.1109/ASSCC.2007.4425702](https://doi.org/10.1109/ASSCC.2007.4425702).
10. Zeng, Tao; Chen, Degang. New sequence switching and layout technique for high-speed high-accuracy current-steering DACs. *Proc. of IEEE 2009 National Aerospace & Electronics Conf., NAECON*, 21–23 Jul. 2009. IEEE, 2009, p. 256–259. DOI: [10.1109/NAECON.2009.5426618](https://doi.org/10.1109/NAECON.2009.5426618).
11. Huang, Chun-Yueh; Hou, Tsung-Tien; Wang, Hung-Yu. A 12-bit 250-MHz current-steering DAC. *Proc. of 6th Int. Conf. on ASIC*, 24–27 Oct. 2005. IEEE, 2005, vol. 1, p. 411–414. DOI: [10.1109/ICASIC.2005.1611348](https://doi.org/10.1109/ICASIC.2005.1611348).
12. Van der Plas, G. A. M.; Vandenbussche, J.; Sansen, W.; Steyaert, M. S. J.; Gielen, G. G. E. A 14-bit intrinsic accuracy  $Q/\text{sub } 2/$  random walk CMOS DAC. *IEEE J. Solid-State Circuits*, vol. 34, no. 12, p. 1708–1718, 1999. DOI: [10.1109/4.808896](https://doi.org/10.1109/4.808896).
13. Bastos, J.; Marques, A. M.; Steyaert, M. S. J.; Sansen, W. A 12-bit intrinsic accuracy high-speed CMOS DAC. *IEEE J. Solid-State Circuits*, vol. 33, no. 12, p. 1959–1969, 1998. DOI: [10.1109/4.735536](https://doi.org/10.1109/4.735536).

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Морозов, Д.В.; Енученко, М.С. Цифро-аналоговые преобразователи с унарной и сегментной архитектурами. *Научно-технические ведомости СПбГПУ Информатика. Телекоммуникации. Управление*, № 1, С. 81–86, 2013. URL: [http://ntv.spbstu.ru/telecom/article/TI.164.2013\\_13/](http://ntv.spbstu.ru/telecom/article/TI.164.2013_13/).
2. Енученко, М.С.; Морозов, Д.В.; Пилипко, М.М. Восьмиразрядный сегментный цифро-аналоговый преобразователь с повышенной скоростью преобразования. *Проблемы разработки перспективных микро- и нанoeлектронных систем — 2014*. Сборник трудов под общ. ред. академика РАН А.Л.Стемпковского. — М.: ИППМ РАН, 2014. — Ч. IV. — С. 67–70.
3. Yenuchenko, M. S. Thermometric decoders for high resolution digital-to-analog converters. *Proc. of IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conf.*, EIConRusNW, 2–3 Feb.

Поступила в редакцию ? После переработки ?